

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Yoshiaki ASAO

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HEREWITH

FOR: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number _____, filed _____, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):
Application No. _____ Date Filed _____
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2002-235070	August 12, 2002

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. _____ filed _____
- ☐ were submitted to the International Bureau in PCT Application Number _____
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. _____ filed _____; and
- ☐ (B) Application Serial No.(s) _____
☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124



22850

0380473-1

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 8月12日

出 願 番 号

Application Number:

特願2002-235070

[ST.10/C]:

[JP2002-235070]

出 願 人

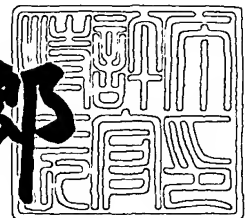
Applicant(s):

株式会社東芝

2003年 4月11日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3025640

【書類名】 特許願

【整理番号】 A000106514

【提出日】 平成14年 8月12日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 11/02

【発明の名称】 半導体集積回路装置

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横
浜事業所内

【氏名】 浅尾 吉昭

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置

【特許請求の範囲】

【請求項 1】 複数のデータ線を含むデータ線群と、
複数のビット線を含む第 1 ビット線群と、
第 1 カラム選択信号に基づき、前記第 1 ビット線群を前記データ線群に電氣的に接続する第 1 カラムゲート回路と、
複数のビット線を含む第 2 ビット線群と、
前記第 1 カラム選択信号とは異なる第 2 カラム選択信号に基づき、前記第 2 ビット線群を前記データ線群に電氣的に接続する第 2 カラムゲート回路と、
前記第 1、第 2 ビット線群に含まれる複数のビット線と交差する複数のワード線と、
前記第 1、第 2 ビット線群に含まれる複数のビット線に電氣的に接続されるとともに前記複数のワード線により選択される、磁気抵抗素子を含んだ複数のメモリセルとを具備し、
前記磁気抵抗素子のスピンの向きは、平面から見て前記第 1、第 2 ビット線群に含まれる複数のビット線に対して垂直であることを特徴とする半導体集積回路装置。

【請求項 2】 複数のデータ線を含むデータ線群と、
複数のビット線を含む第 1 ビット線群と、
第 1 カラム選択信号に基づき、前記第 1 ビット線群を前記データ線群に電氣的に接続する第 1 カラムゲート回路と、
複数のビット線を含む第 2 ビット線群と、
前記第 1 カラム選択信号とは異なる第 2 カラム選択信号に基づき、前記第 2 ビット線群を前記データ線群に電氣的に接続する第 2 カラムゲート回路と、
前記第 1、第 2 ビット線群に含まれる複数のビット線と交差する複数のワード線と、
前記第 1、第 2 ビット線群に含まれる複数のビット線に電氣的に接続されるとともに前記複数のワード線により選択される、磁気抵抗素子を含んだ複数のメモ

リセルとを具備し、

前記磁気抵抗素子は、平面から見て短辺及び長辺を有した長方形であり、その長辺は、平面から見て前記第 1、第 2 ビット線群に含まれる複数のビット線に対して交差することを特徴とする半導体集積回路装置。

【請求項 3】 複数のデータ線を含むデータ線群と、

複数のビット線を含む第 1 ビット線群と、

第 1 カラム選択信号に基づき、前記第 1 ビット線群を前記データ線群に電氣的に接続する第 1 カラムゲート回路と、

複数のビット線を含む第 2 ビット線群と、

前記第 1 カラム選択信号とは異なる第 2 カラム選択信号に基づき、前記第 2 ビット線群を前記データ線群に電氣的に接続する第 2 カラムゲート回路と、

前記第 1、第 2 ビット線群に含まれる複数のビット線と交差する複数のワード線と、

前記第 1、第 2 ビット線群に含まれる複数のビット線に電氣的に接続されるとともに前記複数のワード線により選択される、磁気抵抗素子を含んだ複数のメモリセルとを具備し、

前記磁気抵抗素子は、平面から見て短辺及び長辺を有した平行四辺形であり、その長辺は、平面から見て前記第 1、第 2 ビット線群に含まれる複数のビット線に対して交差することを特徴とする半導体集積回路装置。

【請求項 4】 前記第 1 ビット線群と前記第 2 ビット線群との間のピッチが、前記第 1、第 2 ビット線群に含まれるビット線間のピッチよりも広いことを特徴とする請求項 1 乃至請求項 3 いずれか一項に記載の半導体集積回路装置。

【請求項 5】 前記磁気抵抗素子間のピッチは、前記第 1、第 2 ビット群内におけるピッチよりも、前記第 1、第 2 ビット線群間におけるピッチのほうが広いことを特徴とする請求項 1 乃至請求項 3 いずれか一項に記載の半導体集積回路装置。

【請求項 6】 前記複数のメモリセルは、前記磁気抵抗素子に電氣的に接続されたトランジスタを含むことを特徴とする請求項 1 乃至請求項 5 いずれか一項に記載の半導体集積回路装置。

【請求項 7】 前記複数のメモリセルは、前記磁気抵抗素子に電氣的に接続されたダイオードを含むことを特徴とする請求項 1 乃至請求項 5 いずれか一項に記載の半導体集積回路装置。

【請求項 8】 前記磁気抵抗素子は、第 1 の磁化固着層、第 1 のトンネル障壁層、磁気記録層、第 2 のトンネル障壁層、及び第 2 の磁化固着層を有したダブルジャンクション型のトンネル磁気抵抗効果素子であることを特徴とする請求項 1 乃至請求項 7 いずれか一項に記載の半導体集積回路装置。

【請求項 9】 前記磁気抵抗素子は、磁化固着層、トンネル障壁層、及び磁気記録層を有したトンネル磁気抵抗効果素子であり、

少なくとも前記磁化固着層は強磁性層と非磁性層とのスタック構造を含むことを特徴とする請求項 1 乃至請求項 7 いずれか一項に記載の半導体集積回路装置。

【請求項 10】 前記磁気抵抗素子は、第 1 の磁化固着層、第 1 のトンネル障壁層、磁気記録層、第 2 のトンネル障壁層、及び第 2 の磁化固着層を有したダブルジャンクション型のトンネル磁気抵抗効果素子であり、

前記第 1、第 2 の磁化固着層の少なくとも一方、及び前記磁気記録層は強磁性層と非磁性層とのスタック構造を含むことを特徴とする請求項 1 乃至請求項 7 いずれか一項に記載の半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は磁気抵抗素子を含んだメモリセルを具備する半導体集積回路装置に関する。

【0002】

【従来の技術】

近時、新たな原理により情報を記憶するメモリが数多く提案されている。そのうちの一つに磁気抵抗効果、特に Roy Scheuerlein et. Al. によって提案されたトンネル型磁気抵抗 (Tunneling Magneto-Resistive: 以下、TMR という) 効果を利用した磁気ランダムメモリが知られている。

【0003】

(参考文献)

ISSCC2000 Technical Digest p.128 「A 10ns Read and Write Non-Volatile Memory Array Using a Magnetic Tunnel Junction and FET Switch in each Cell」

磁気ランダムアクセスメモリは、TMR素子により“1”、“0”-情報を記憶する。図11に示すように、TMR素子は、絶縁層（トンネル障壁層）を2つの磁性層（強磁性層）により挟んだ構造を有する。TMR素子に記憶される情報は、2つの磁性層のスピン向きが平行か又は反平行かによって判断される。

【0004】

ここで、図12A、図12Bに示すように、平行とは、2つの磁性層のスピン向きが同じであることを意味し、半平行とは、2つの磁性層のスピン向きが逆平行であることを意味する（矢印の向きがスピンの向きを示している。）。

【0005】

なお、通常、2つの磁性層の一方側には反強磁性層が配置される。反強磁性層は、一方側の磁性層のスピン向きを固定し、他方側のスピン向きのみを変えることにより情報を容易に書きかえるための部材である。

【0006】

図12Aに示すように、2つの磁性層のスピン向きが平行となった場合、これら2つの磁性層に挟まれた絶縁層（トンネル障壁層）のトンネル抵抗は、最も低くなる。この状態が、例えば“1”状態である。

【0007】

また、図12Bに示すように、2つの磁性層のスピン向きが反平行になった場合、これら2つの磁性層に挟まれた絶縁層（トンネル障壁層）のトンネル抵抗は、最も高くなる。この状態が、例えば“0”状態である。

【0008】

次に、図13を参照しつつ、TMR素子に対する書き込み動作原理について簡単に説明する。

【0009】

TMR素子は、互いに交差する書き込みワード線WWLとデータ選択線（ビット

ト線) B L との交点に配置される。そして、書き込みは、書き込みワード線 W W L 及びデータ選択線 B L それぞれに電流を流し、両配線に流れる電流により作られる磁界を用いて、TMR 素子のスピンの向きを平行又は反平行にすることにより達成される。

【 0 0 1 0 】

書き込み時、例えばデータ選択線 B L には、一方向に向かう電流のみを流し、書き込みワード線 W W L には、書き込みデータに応じて、一方向又は他方向に向かう電流を流す。書き込みワード線 W W L に一方向に向かう電流を流すとき、TMR 素子のスピンの向きは、平行 (“ 1 ” 状態) となる。一方、書き込みワード線 W W L に他方向に向かう電流を流すとき、TMR 素子のスピンの向きは、反平行 (“ 0 ” 状態) となる。

【 0 0 1 1 】

TMR 素子のスピンの向きが変わるしくみは、次の通りである。

【 0 0 1 2 】

図 1 4 A の TMR 曲線に示すように、TMR 素子の長辺 (Easy-Axis) 方向に磁界 H_x をかけると、TMR 素子の抵抗値は、例えば 1 7 % 程度変化する。この変化率、即ち、変化の前後の抵抗の比は、MR 比と呼ばれる。

【 0 0 1 3 】

なお、MR 比は、磁性層の性質により変化する。現在では、MR 比が 5 0 % 程度の TMR 素子も得られている。

【 0 0 1 4 】

TMR 素子には、Easy-Axis 方向の磁界 H_x と Hard-Axis 方向の磁界 H_y との合成磁界がかかる。図 1 4 A の実線及び点線に示すように、Hard-Axis 方向の磁界 H_y の大きさによって、TMR 素子の抵抗値をかえるために必要な Easy-Axis 方向の磁界 H_x の大きさも変化する。この現象を利用することにより、アレイ状に配置されるメモリセルのうち、選択された書き込みワード線 W W L 及び選択されたデータ選択線 B L との交点に存在する TMR 素子のみにデータを書き込むことができる。

【 0 0 1 5 】

この様子をさらに図 1 4 B のアステロイド曲線を用いて説明する。

【 0 0 1 6 】

TMR 素子のアステロイド曲線は、例えば図 1 4 B の実線で示すようになる。即ち、Easy-Axis 方向の磁界 H_x と Hard-Axis 方向の磁界 H_y との合成磁界の大きさがアステロイド曲線（実線）の外側（例えば黒丸の位置）にあれば、磁性層のスピンを反転させることができる。

【 0 0 1 7 】

逆に、Easy-Axis 方向の磁界 H_x と Hard-Axis 方向の磁界 H_y との合成磁界の大きさがアステロイド曲線（実線）の内側（例えば白丸の位置）にある場合には、磁性層のスピンを反転させることはできない。

【 0 0 1 8 】

従って、Easy-Axis 方向の磁界 H_x と Hard-Axis 方向の磁界 H_y との合成磁界の大きさを変え、合成磁界の大きさの H_x - H_y 平面内における位置を変えることにより、TMR 素子に対するデータの書き込みを制御できる。

【 0 0 1 9 】

なお、読み出しは、選択された TMR 素子に電流を流し、その TMR 素子の抵抗値を検出することにより行うことができる。

【 0 0 2 0 】

【発明が解決しようとする課題】

磁気ランダムアクセスメモリにおいても、多ビット動作が模索されている。

【 0 0 2 1 】

この発明は、上記事情に鑑み為されたもので、その目的は、磁気抵抗素子を含むメモリセルを具備しながらも、多ビット同時にデータを書き込むことが可能な半導体集積回路装置を提供することにある。

【 0 0 2 2 】

【課題を解決するための手段】

上記目的を達成するために、この発明の第 1 態様に係る半導体集積回路装置は、複数のデータ線を含むデータ線群と、複数のビット線を含む第 1 ビット線群と、第 1 カラム選択信号に基づき、前記第 1 ビット線群を前記データ線群に電氣的

に接続する第1カラムゲート回路と、複数のビット線を含む第2ビット線群と、前記第1カラム選択信号とは異なる第2カラム選択信号に基づき、前記第2ビット線群を前記データ線群に電氣的に接続する第2カラムゲート回路と、前記第1、第2ビット線群に含まれる複数のビット線と交差する複数のワード線と、前記第1、第2ビット線群に含まれる複数のビット線に電氣的に接続されるとともに前記複数のワード線により選択される、磁気抵抗素子を含んだ複数のメモリセルとを具備する。そして、前記磁気抵抗素子のスピンの向きを、平面から見て前記第1、第2ビット線群に含まれる複数のビット線に対して垂直とすることを特徴とする。

【0023】

また、この発明の第2態様に係る半導体集積回路装置は、複数のデータ線を含むデータ線群と、複数のビット線を含む第1ビット線群と、第1カラム選択信号に基づき、前記第1ビット線群を前記データ線群に電氣的に接続する第1カラムゲート回路と、複数のビット線を含む第2ビット線群と、前記第1カラム選択信号とは異なる第2カラム選択信号に基づき、前記第2ビット線群を前記データ線群に電氣的に接続する第2カラムゲート回路と、前記第1、第2ビット線群に含まれる複数のビット線と交差する複数のワード線と、前記第1、第2ビット線群に含まれる複数のビット線に電氣的に接続されるとともに前記複数のワード線により選択される、磁気抵抗素子を含んだ複数のメモリセルとを具備する。そして、前記磁気抵抗素子は、平面から見て短辺及び長辺を有した長方形であり、その長辺は、平面から見て前記第1、第2ビット線群に含まれる複数のビット線に対して交差することを特徴とする。

【0024】

また、この発明の第3態様に係る半導体集積回路装置は、複数のデータ線を含むデータ線群と、複数のビット線を含む第1ビット線群と、第1カラム選択信号に基づき、前記第1ビット線群を前記データ線群に電氣的に接続する第1カラムゲート回路と、複数のビット線を含む第2ビット線群と、前記第1カラム選択信号とは異なる第2カラム選択信号に基づき、前記第2ビット線群を前記データ線群に電氣的に接続する第2カラムゲート回路と、前記第1、第2ビット線群に含

まれる複数のビット線と交差する複数のワード線と、前記第 1、第 2 ビット線群に含まれる複数のビット線に電氣的に接続されるとともに前記複数のワード線により選択される、磁気抵抗素子を含んだ複数のメモリセルとを具備する。そして、前記磁気抵抗素子は、平面から見て短辺及び長辺を有した平行四辺形であり、その長辺は、平面から見て前記第 1、第 2 ビット線群に含まれる複数のビット線に対して交差することを特徴とする。

【 0 0 2 5 】

【発明の実施の形態】

以下、この発明の実施形態を、図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【 0 0 2 6 】

(第 1 の実施形態)

図 1 はこの発明の第 1 の実施形態に係る磁気ランダムアクセスメモリを示すブロック図、図 2 は同磁気ランダムアクセスメモリを示す等価回路図、図 3 は同磁気ランダムアクセスメモリの平面図である。

【 0 0 2 7 】

図 1 ～図 3 に示すように、第 1 の実施形態に係る磁気ランダムアクセスメモリは、データ線群 1、第 1 ～第 N ビット線群 2-0 ～ 2-N、第 1 ～第 N カラムゲート回路 CG0 ～ CGN、複数の読み出しワード線 RWL0 ～ RWL7…、複数の書き込みワード線 WWL0 ～ WWL7…、及び磁気抵抗素子を含んだ複数のメモリセルを含む。

【 0 0 2 8 】

データ線群 1 は複数のデータ線を含む。本例では 4 本のデータ線 I/00 ～ I/03 を含んでいる。データ線 I/00 ～ I/03 は、センスアンプ回路 (S/A) 3、ビット線ドライバ回路及びビット線シンカー回路 (BL.DRV./BL.SNK.) 4 に電氣的に接続されている。センスアンプ回路 3 は、データ読み出し時、データ線 I/00 ～ I/03 に伝えられた読み出しデータを、例えば参照電位と比較して読み出しデータの論理値を判断し、そのデータの論理値に応じた電位を増幅する。ビット線ドライバ回路及びビット線シンカー回路 4 は、データ書き込み時、ビット線に流す書き込み電流の向きを制御する回路である。

【 0 0 2 9 】

第 1 ～ 第 N ビット線群 2-0 ～ 2-N はそれぞれ、複数のビット線を含む。本例ではそれぞれ 4 本のビット線 BL00 ～ BL30、BL01 ～ BL31、BL02 ～ BL32、BL0N ～ BL3N を含んでいる。また、本例のビット線 BL00 ～ BL3N はそれぞれ、読み出し/書き込み兼用である。ビット線 BL00 ～ BL3N の一端はビット線ドライバー回路及びビット線シンカー回路 (BL.DRV./BL.SNK.) 5 に接続され、その他端は第 1 ～ 第 N カラムゲート回路 CG0 ～ CGN に接続されている。第 1 ～ 第 N カラムゲート回路 CG0 ～ CGN はそれぞれ、第 1 ～ 第 N カラム選択信号 CSL0 ～ CSLN に基づき、第 1 ～ 第 N ビット線群 2-0 ～ 2-N のいずれか一つをデータ線群 1 に電氣的に接続する。第 1 ～ 第 N カラム選択信号 CSL0 ～ CSLN は、例えばカラムデコーダ (COL.DEC.) 6 から出力される。カラムデコーダ 6 は、例えばカラムアドレス AC の論理値に基づき、第 1 ～ 第 N カラム選択信号 CSL0 ～ CSLN のいずれか一つを、例えば “HIGH” レベルとする。これにより、第 1 ～ 第 N カラムゲート回路 CG0 ～ CGN のいずれか一つが選択され、選択されたカラムゲート回路に接続されたビット線群が、データ線群 1 に電氣的に接続される。このようにビット線群が、データ線群 1 に電氣的に接続されることにより、本第 1 実施形態に係る磁気ランダムアクセスメモリは多ビット動作が行われる。多ビット動作とは、データの読み出し、又はデータの書き込みを、複数ビットで、例えば同時に行う動作である。本例では、データの読み出し、又はデータの書き込みが、4 ビットで、例えば同時に行われる。ビット線ドライバー回路及びビット線シンカー回路 5 は、データ書き込み時、ビット線ドライバー回路及びビット線シンカー回路 4 とともにビット線に流す書き込み電流の向きを制御する。

【 0 0 3 0 】

複数の読み出しワード線 RWL0 ～ RWL7…、及び複数の書き込みワード線 WWL0 ～ WWL7 は、例えばメモリセルアレイ 7 において、ビット線 BL00 ～ BL3N と交差する。読み出しワード線 RWL0 ～ RWL7… の一端は、読み出しワード線ドライバー回路及び書き込みワード線ドライバー回路 (RWL.DRV./WWL.DRV.) 8 のうち、読み出しワード線ドライバー回路に接続されている。書き込みワード線 WWL0 ～ WWL7… の一端は、読み出しワード線ドライバー回路及び書き込みワード線ドライバー回路 8 のう

ち、書き込みワード線ドライバー回路に接続され、その他端は、書き込みワード線シンカー回路（WWL.SNK.）9に接続されている。

【0031】

メモリセルアレイ7には、磁気抵抗素子を含む複数のメモリセル10が、例えば行列状に配置されている。磁気抵抗素子の一例は、トンネル型磁気抵抗（Tunneling Magneto-Resistive: TMR）効果が利用された、いわゆるTMR素子である。複数のメモリセル10はそれぞれ、ビット線BLに電氣的に接続されるとともに、読み出しワード線WWLにより選択される。

【0032】

ロウデコーダ11は、データ読み出し時、又はデータ書き込み時、メモリセルアレイ7のロウを選択する。ロウデコーダ11は、例えばロウアドレスR.ADD.の論理値に基づき、読み出しワード線RWL、又は書き込みワード線WWLのいずれか一つを、読み出しワード線ドライバー回路/書き込みワード線ドライバー回路8を介して、例えば“HIGH”レベルとする。これによりメモリセルアレイ7のロウが選択される。

【0033】

メモリセルの一例は、例えば図2の等価回路図に示すようにMOSFETをスイッチ素子としたものを挙げることができる。また、スイッチ素子として、MOSFETのかわりにダイオードを用いたメモリセルも使うことができる。

【0034】

次に、その動作の一例を説明する。

【0035】

今、4本のビット線が同時に動作すると仮定する。

【0036】

図3に示すように、カラムアドレスAC=1が選択されたとすると、ビット線群2-1が選択され、それに属する4本のビット線が同時に動作する。そして、1本の書き込みワード線が選択されると、図中選択セルとして示した4つのビットが同時に選択される。同時に選択された4つのビットに各々任意のデータを書き込む場合、本例では、選択された書き込みワード線に、一方向に電流を流す。これに

より、4つのビットには同一方向の磁場が与えられる。4つのビット各々に任意のデータを書き込むには、選択した4本のビット線に任意の方向の電流を流す。これにより、TMR素子の磁気記録層のスピン向きが変わる。本例では、TMR素子のスピンの向きは、平面から見てビット線に対して垂直となる。図4 A、図4 Bの断面に、TMR素子のスピンの向きを示す。

【0037】

図4 A、図4 Bに示すように、TMR素子のスピンの向きを、平面から見てビット線に対して垂直とすることで、多ビット同時にデータを書き込むことが可能となる。

【0038】

また、半導体プロセスでは金属配線は上層になるほど配線幅は太くなる。従って、図4 A、図4 Bに示すように、TMR素子の上部にあるビット線の幅は、下部にあるワード線より幅より広くなる。TMR素子が長方形の場合はスピンの向きがTMR素子の長辺方向に向く。このため、TMR素子のスピンの向きは、TMR素子の下に位置する配線よりも、TMR素子の上部に位置する配線に流れる電流の向きでスピンの向きを変えるようにするのがよいことになる。

【0039】

このように、第1の実施形態によれば、TMR素子のスピンの向きを、平面から見てビット線に対して垂直とする。これにより、データ書き込み時、データの、例えば“0”、“1”に対応する書き込み電流の向きを、書き込みワード線ではなく、ビット線で変えることが可能となる。この結果、磁気抵抗素子を含むメモリセルを具備しながらも、多ビット同時にデータを書き込むことが可能となる。

【0040】

次に、この発明に係る磁気ランダムアクセスメモリに使用することが可能なメモリセルの例を説明する。

【0041】

図5 Aはこの発明に係る磁気ランダムアクセスメモリに使用することが可能なメモリセルの第1の例を示す平面図、図5 Bは図5 A中の5 B - 5 B線に沿う断

面図、図 5 C は図 5 A 中の 5 C - 5 C 線に沿う断面図、図 5 D は第 1 例に係るメモリセルの等価回路図である。

【 0 0 4 2 】

図 5 A ~ 図 5 D に示すように、本第 1 の例は、磁気抵抗素子を含むメモリセルとして、1 つの磁気抵抗素子 1 2 と 1 つのセルトランジスタ 1 3 とを含む 1 磁気抵抗素子 - 1 トランジスタ型のメモリセルである。

【 0 0 4 3 】

セルトランジスタ 1 3 は、例えば P 型シリコン基板 2 1 の素子領域に形成される。素子領域は、基板 2 1 に形成された素子分離領域 2 2 により区画されている。セルトランジスタ 1 3 は、ゲート電極 2 4 及び N 型ソース / ドレイン領域 2 5 を有する。ゲート電極 2 4 は、基板 2 1 からゲート絶縁膜、例えばゲート酸化膜 2 3 により絶縁され、第 1 の方向に延び、読み出しワード線 RWL として機能する。セルトランジスタ 1 3 の上方には、ソース線 (S L) 2 6 - 1、セル内ヴィア 2 6 - 2 が形成されている。これらは、例えば第 1 層メタル層により形成される。ソース線 2 6 - 1 は、読み出しワード線 RWL と同じ第 1 の方向に延び、第 1 層メタル - 基板コンタクト 2 7 を介して、セルトランジスタのソース / ドレイン領域 2 5 の一方、例えばソース領域に接続される。セル内ヴィア 2 6 - 2 は、第 1 層メタル - 基板コンタクト 2 7 を介して、セルトランジスタのソース / ドレイン領域 2 5 の他方、例えばドレイン領域に接続される。ソース線 2 6 - 1 及びセル内ヴィア 2 6 - 2 の上方には、書き込みワード線 (WWL) 2 8 - 1 及びセル内ヴィア 2 8 - 2 が形成される。これらは、例えば第 2 層メタル層により形成される。セル内ヴィア 2 8 - 2 は、第 2 層メタル - 第 1 層メタルコンタクト 2 9 を介してセル内ヴィア 2 6 - 2 に接続される。書き込みワード線 2 8 - 1 は、読み出しワード線 RWL と同じ第 1 の方向に延びて形成されている。書き込みワード線 2 8 - 1 及びセル内ヴィア 2 8 - 2 の上方には、セル内ローカル配線 3 0 が形成される。セル内ローカル配線は、例えば第 3 層メタル層により形成される。セル内ローカル配線 3 0 は、第 3 層メタル - 第 2 層メタルコンタクト 3 1 を介して、セル内ヴィア 2 8 - 2 に接続される。セル内ローカル配線 3 0 上には、磁気抵抗素子 1 2、例えば TMR 素子が形成されている。TMR 素子は、磁性層、例えば強磁

性層からなる磁化固着層 3 1 及び磁気記録層 3 2、磁化固着層 3 1 と磁気記録層 3 2 との間に形成された絶縁性非磁性層からなるトンネル障壁層 3 3 とを含む。磁化固着層 3 1 はスピンの向きが固定されている層で、磁気記録層 3 2 は書き込み磁界に応じてスピンの向きが変化する層である。本例の TMR 素子の形状は、特に図 5 A の平面図に示すように、平面から見て短辺 3 4 及び長辺 3 5 を有した長方形である。磁化固着層 3 1 のスピンの向きは、TMR 素子加工後に磁場をかけながらアニールすることによって決定される。その際、TMR 素子の形状が長方形であれば、スピンの向きは、その長辺方向に向いて安定するので、磁場は長辺方向に対して平行に印加する。また、TMR 素子は、その長辺方向が、書き込みワード線 2 8 - 1 が延びる第 1 の方向に沿うように配置される。これにより、TMR 素子の磁化容易軸 (Easy-axis) は、書き込みワード線 2 8 - 1 が延びる第 1 の方向に沿う。磁化固着層 3 1 はセル内ローカル配線 3 0 に接続され、磁気記録層 3 2 はビット線 (BL) 3 6 に接続されている。ビット線 3 6 は、例えば第 4 層メタル層により形成される。そして、ビット線 3 6 は、第 1 の方向に交差する、例えば直交する第 2 の方向に延びて形成される。これにより、TMR 素子の長辺は、特に図 5 A の平面図に示すように、平面から見てビット線 3 6 に対して交差、例えば直交する。

【 0 0 4 4 】

(第 2 の実施形態)

図 6 はこの発明の第 2 の実施形態に係る磁気ランダムアクセスメモリを示す平面図である。

【 0 0 4 5 】

図 6 に示すように、本第 2 の実施形態は、TMR 素子のスピンの向きが、平面から見てビット線に対して垂直から傾きをもった例である。この場合、TMR 素子の平面形状は平面から見て短辺及び長辺を有した平行四辺形、例えば菱形となる。TMR 素子が平行四辺形の場合、TMR 素子のスピンは、2 つの鋭角の頂点間を向く。これにより、TMR 素子のスピンの向きは、平面から見てビット線に対して垂直から傾きをもつ。TMR 素子を平行四辺形とし、かつ図 6 に示すように右側に傾いた TMR 素子と左側に傾いた TMR 素子とを交互に配置することで

、データ書き込み時のクロストークを抑制することが可能となる。

【0046】

参考文献：米国特許第6, 005, 800

本第2の実施形態では、TMR素子の平面形状を、平面から見て短辺及び長辺を有した平行四辺形とした場合に、その長辺を、平面から見てビット線に対して交差するように配置する。

【0047】

これにより、第1の実施形態と同様に、データ書き込み時、データの、例えば“0”、“1”に対応する書き込み電流の向きを、書き込みワード線ではなく、ビット線で変えることが可能となる。よって、第1の実施形態と同様に、多ビット同時にデータを書き込むことが可能となる。

【0048】

(第3の実施形態)

図7はこの発明の第3の実施形態に係る磁気ランダムアクセスメモリを示す平面図である。

【0049】

図7に示すように、第3の実施形態は、ビット線群間のピッチP2を、ビット線群内のビット線間のピッチP1よりも広くしたものである。

【0050】

これにより、データ書き込み時、選択されたビット線群に流れる書き込み電流による磁界の影響が、選択されていないビット線に対して及ぶ事情を抑制することができる。これにより、データ書き込み時のクロストークを抑制することが可能となる。

【0051】

また、データ書き込み時、選択されたビット線群内の複数のビット線においては、それぞれ書き込み電流が流れているために、クロストークは起こり難い。このため、ビット線群内のビット線間のピッチは、例えばビット線群間のピッチよりも狭くすることができる。これにより、メモリセルアレイの高密度化を促進することが可能となる。

【 0 0 5 2 】

また、磁気抵抗素子間のピッチを、ビット線群内よりも、ビット線群間のピッチよりも広くすることでも、上記同様の効果を得ることができる。

【 0 0 5 3 】

本第 3 の実施形態は、第 2 の実施形態と組み合わせることが可能である。

【 0 0 5 4 】

〔メモリセルの例〕

第 1 の実施形態では、メモリセルの一例とし、1つの磁気抵抗素子と1つのセルトランジスタとを有した、1磁気抵抗素子－1トランジスタ型のメモリセルを示した。

【 0 0 5 5 】

しかし、この発明には、1磁気抵抗素子－1トランジスタ型のメモリセル以外のメモリセルも使用することができる。

【 0 0 5 6 】

例えば図 8 に示すスイッチ素子として、トランジスタの代わりにダイオードを適用したセルや、図 9 に示すスイッチ素子がない、いわゆるクロスポイント型のセル等を使用することが可能である。

【 0 0 5 7 】

第 1 ～第 3 の実施形態に係る磁気ランダムアクセスメモリのメモリセルとして、これらのセルを使用した場合にも、第 1 ～第 3 の実施形態と同様な効果を得ることができる。

【 0 0 5 8 】

〔磁気抵抗効果素子の例〕

〔第 1 の例〕

第 1 ～第 3 の実施形態にて説明した磁気抵抗効果素子 3 には、TMR 素子を使うことができる。以下 TMR 素子の幾つかの例について説明する。

【 0 0 5 9 】

図 1 0 A は、TMR 素子の第 1 の例を示す断面図である。

【 0 0 6 0 】

図 1 0 A に示すように、下地層 1 5 0 上には、反強磁性層 1 5 1、強磁性層 1 5 2、トンネル障壁層 1 5 3、強磁性層 1 5 4 及び保護層 1 5 5 が順次形成されている。

【 0 0 6 1 】

本例では、強磁性層 1 5 2 がスピンの向きが固定される磁化固着層として機能し、強磁性層 1 5 4 がスピンの向きが変化される磁気記録層として機能する。反強磁性層 1 5 1 は、強磁性層 1 5 2 のスピンの向きを固定する層である。磁化固着層として機能する強磁性層 1 5 2 のスピンの向きは、例えば反強磁性層 1 5 1 を用いて固定しても良い。

【 0 0 6 2 】

なお、下地層 1 5 1 は、例えば強磁性層や反強磁性層を形成し易くしたり、保護したりするための層であり、必要に応じて設けられる。保護層 1 5 5 は、例えば強磁性層や反強磁性層を保護するための層であり、下地層 1 5 1 と同様、必要に応じて設けられる。保護層 1 5 5 は、例えば反強磁性層 1 5 1、強磁性層 1 5 2、トンネル障壁層 1 5 3、強磁性層 1 5 4 及び保護層 1 5 5 をパターンニングする際のハードマスク層を利用して形成されても良い。

【 0 0 6 3 】

これら下地層 1 5 1 及び保護層 1 5 5 に関する事項は、以下に説明する第 2 ～ 第 4 の例においても同様である。

【 0 0 6 4 】

強磁性層 1 5 2、1 5 4 の材料例としては、下記の材料を挙げることができる。

【 0 0 6 5 】

Fe、Co、Ni、またはそれらの合金

スピン分極率の大きいマグネタイト

CrO_2 、 R XMnO_{3-y} 等の酸化物 (R：希土類、X：Ca、Ba、Sr)

NiMnSb、PtMnSb等のホイスラー合金 (Heusler alloy)

なお、上記強磁性体 1 5 2、1 5 4 の材料例において、例えば強磁性を失わない範囲内で、非磁性元素が含まれていても良い。

【0066】

非磁性元素の例としては、下記の元素を挙げることができる。

【0067】

Ag、Cu、Au、Al、Mg、Si、Bi、Ta、B、C、O、N、
Pd、Pt、Zr、Ir、W、Mo、Nb

強磁性層152、154の厚さの例は、強磁性層152、154が超常磁性（super-paramagnetic）にならない程度の厚さ以上にすることである。具体的な一例は、強磁性層152、154の厚さを0.4nm以上とする。また、強磁性層152、154の厚さの上限は特に無いが、例えばTMR素子の作製上100nm以下が良い。

【0068】

反強磁性層151の材料例としては、下記の材料を挙げることができる。

【0069】

Fe-Mn、Pt-Mn、Pt-Cr-Mn、Ni-Mn、Ir-Mn、NiO、
Fe₂O₃

トンネル障壁層153の材料例としては、下記の材料を挙げることができる。

【0070】

Al₂O₃、SiO₂、MgO、AlN、Bi₂O₃、MgF₂、CaF₂、
SrTiO₂、AlLaO₃

なお、上記トンネル障壁層153の材料例において、例えば絶縁性を失わない範囲内で、酸素、窒素及びフッ素の少なくともいずれか一つをさらに含んでも良く、例えば絶縁性を失わない範囲内で、酸素、窒素及びフッ素の少なくともいずれか一つが欠損していても良い。

【0071】

トンネル障壁層153の厚さは、薄い方が良いが、特に制限はない。敢えて一例を示すならば、トンネル障壁層153の厚さを10nm以下とする。これは、TMR素子の作製上の観点からである。

【0072】

〔第2の例〕

図 1 0 B は、TMR 素子の第 2 の例を示す断面図である。

【 0 0 7 3 】

第 2 の例に係る TMR 素子は、ダブルジャンクション型と呼ばれている TMR 素子である。

【 0 0 7 4 】

図 4 0 B に示すように、下地層 1 5 0 上には、反強磁性層 1 5 1 -1、強磁性層 1 5 2 -1、トンネル障壁層 1 5 3 -1、強磁性層 1 5 4、トンネル障壁層 1 5 3 -2、強磁性層 1 5 2 -2、反強磁性層 1 5 1 -2、及び保護層 1 5 5 が順次形成されている。

【 0 0 7 5 】

本例では、強磁性層 1 5 2 -1、1 5 2 -2 が磁化固着層として機能し、強磁性層 1 5 4 が磁気記録層として機能する。反強磁性層 1 5 1 -1 は、強磁性層 1 5 2 -1 のスピンの向きを固定する層であり、反強磁性層 1 5 1 -2 は、強磁性層 1 5 2 -2 のスピンの向きを固定する層である。

【 0 0 7 6 】

本例のようなダブルジャンクション型の TMR 素子は、例えば図 4 0 A に示す TMR 素子（シングルジャンクション型）に比較して、低抵抗時における抵抗値と高抵抗時における抵抗値との比、いわゆる MR 比（magneto-resistance ratio）をさらに大きくできる、という利点がある。

【 0 0 7 7 】

反強磁性層 1 5 1 -1、1 5 1 -2、強磁性層 1 5 2 -1、1 5 2 -2、1 5 4、及びトンネル障壁層 1 5 3 -1、1 5 3 -2 それぞれの材料例は、上記第 1 の例で説明した通りである。

【 0 0 7 8 】

また、強磁性層 1 5 1 -1、1 5 1 -2、1 5 4 それぞれの厚さの例は、上記第 1 の例で説明した通りである。

【 0 0 7 9 】

また、トンネル障壁層 1 5 3 -1、1 5 3 -2 の材料例、及び厚さの例は、上記第 1 の例で説明した通りである。

【 0 0 8 0 】

〔 第 3 の 例 〕

図 1 0 C は、TMR 素子の第 3 の例を示す断面図である。

【 0 0 8 1 】

図 1 0 C に示すように、第 3 の例に係る TMR 素子は、第 1 の例に係る TMR 素子の強磁性層 1 5 2、1 5 4 を、強磁性層と非磁性層とのスタック構造としたものである。スタック構造の例としては、本例のように、強磁性層／非磁性層／強磁性層の三層膜を挙げることができる。本例では、強磁性層 1 5 2 が強磁性層 1 6 1／非磁性層 1 6 2／強磁性層 1 6 3 の三層膜とされ、強磁性層 1 5 4 が強磁性層 1 6 4／非磁性層 1 6 5／強磁性層 1 6 6 の三層膜とされている。

【 0 0 8 2 】

強磁性層 1 6 1、1 6 3、1 6 4、1 6 6 の材料例は、上記第 1 の例で説明した通りである。

【 0 0 8 3 】

非磁性層 1 6 2、1 6 5 の材料例は、下記の材料を挙げることができる。

【 0 0 8 4 】

Ru、Ir

強磁性層／非磁性層／強磁性層の三層膜の具体的な例を挙げるとするならば、下記の例を挙げることができる。

【 0 0 8 5 】

Co／Ru／Co、Co／Ir／Co

Co-Fe／Ru／Co-Fe、Co-Fe／Ir／Co-Fe

磁化固着層として機能する強磁性層 1 5 2 をスタック構造とした場合、例えば強磁性層 1 6 1／非磁性層 1 6 2／強磁性層 1 6 3 の三層膜とした場合、強磁性層 1 6 1 と強磁性層 1 6 3 との間に、非磁性層 1 6 2 を介して反強磁性結合を生じさせるのが良い。さらに上記三層膜に接して反強磁性層 1 5 1 を設ける。このような構造とすることで、磁化固着層として機能する強磁性層 1 5 2、特に強磁性層 1 6 3 のスピンの向きをより固く固定できる、という利点を得ることができる。この利点により、強磁性層 1 5 2、特に強磁性層 1 6 3 は、電流磁界の影響

を受け難くなり、磁化固着層として機能する強磁性層 1 5 2 のスピンの向きが、不慮に反転することを抑制することができる。

【 0 0 8 6 】

また、磁気記録層として機能する強磁性層 1 5 4 をスタック構造とした場合、例えば強磁性層 1 6 4 / 非磁性層 1 6 5 / 強磁性層 1 6 6 の三層膜とした場合にも、強磁性層 1 6 4 と強磁性層 1 6 6 との間に、非磁性層 1 6 5 を介して反強磁性結合を生じさせておくのが良い。この場合、磁束が上記三層膜内で閉じるので、例えば磁極に起因したスイッチング磁界の増大を抑制することができる。この結果、例えばメモリセルの大きさ、あるいは TMR 素子の大きさがサブミクロン以下になっても、例えば反磁界による電流磁界に起因した消費電力の増大を抑えることができる、という利点を得ることができる。

【 0 0 8 7 】

また、磁気記録層として機能する強磁性層 1 5 4 は、ソフト強磁性層と強磁性層とのスタック構造とすることも可能である。ここで述べるソフト強磁性層とは、例えば強磁性層に比較して、スピンの向きがより反転し易い層のことである。

【 0 0 8 8 】

強磁性層 1 5 4 を、ソフト強磁性層と強磁性層とのスタック構造とした場合、電流磁場配線、例えばビット線に近い方に、ソフト強磁性層が配置される。

【 0 0 8 9 】

このスタック構造には、非磁性層をさらに含ませることも可能である。例えば本例のように、強磁性層 1 6 4 / 非磁性層 1 6 5 / 強磁性層 1 6 6 の三層膜である場合、例えば強磁性層 1 6 6 を、ソフト強磁性層とすることもできる。

【 0 0 9 0 】

本例では、強磁性層 1 5 2、1 5 4 それぞれをスタック構造としているが、強磁性層 1 5 2 のみ、あるいは強磁性層 1 5 4 のみをスタック構造としても良い。

【 0 0 9 1 】

〔第 4 の例〕

図 1 0 D は、TMR 素子の第 4 の例を示す断面図である。

【 0 0 9 2 】

図 1 0 D に示すように、第 4 の例に係る TMR 素子は、第 2 の例に係る TMR 素子の強磁性層 1 5 2 -1、1 5 4、1 5 2 -2 を、第 3 の例で述べたスタック構造とした例である。

【 0 0 9 3 】

本例では、強磁性層 1 5 2 -1 が強磁性層 1 6 1 -1 / 非磁性層 1 6 2 -1 / 強磁性層 1 6 3 -1 の三層膜とされ、強磁性層 1 5 4 が強磁性層 1 6 4 / 非磁性層 1 6 5 / 強磁性層 1 6 6 の三層膜とされ、強磁性層 1 5 2 -2 が強磁性層 1 6 1 -2 / 非磁性層 1 6 2 -2 / 強磁性層 1 6 3 -2 の三層膜とされている。

【 0 0 9 4 】

強磁性層 1 6 1 -1、1 6 1 -2、1 6 3 -1、1 6 3 -2、1 6 4、1 6 6 の材料例は、上記第 1 の例で説明した通りである。

【 0 0 9 5 】

非磁性層 1 6 2 -1、1 6 2 -2、1 6 5 の材料例は、上記第 3 の例で説明した通りである。

【 0 0 9 6 】

本例では、強磁性層 1 5 2 -1、1 5 4、1 5 2 -2 それぞれをスタック構造としているが、少なくともいずれか一層のみをスタック構造としても良い。

【 0 0 9 7 】

以上、この発明を第 1 ～第 3 の実施形態により説明したが、この発明は、これら実施形態それぞれに限定されるものではなく、その実施にあたっては、発明の要旨を逸脱しない範囲で種々に変形することが可能である。

【 0 0 9 8 】

また、上記第 1 ～第 3 の実施形態はそれぞれ、単独で実施することが可能であるが、適宜組み合わせで実施することも、もちろん可能である。

【 0 0 9 9 】

また、上記第 1 ～第 3 の実施形態には、種々の段階の発明が含まれており、各実施形態において開示した複数の構成要件の適宜な組み合わせにより、種々の段階の発明を抽出することも可能である。

【 0 1 0 0 】

また、上記第 1 ～ 第 3 の実施形態では、この発明を磁気ランダムアクセスメモリに適用した例に基づき説明したが、上記磁気ランダムアクセスメモリを内蔵した半導体集積回路装置、例えばプロセッサ、システム L S I 等もまた、この発明の範疇である。

【 0 1 0 1 】

【発明の効果】

以上説明したように、この発明によれば、磁気抵抗素子を含むメモリセルを具備しながらも、多ビット同時にデータを書き込むことが可能な半導体集積回路装置を提供できる。

【図面の簡単な説明】

【図 1】

図 1 はこの発明の第 1 の実施形態に係る磁気ランダムアクセスメモリを示すブロック図

【図 2】

図 2 はこの発明の第 1 の実施形態に係る磁気ランダムアクセスメモリの等価回路図

【図 3】

図 3 はこの発明の第 1 の実施形態に係る磁気ランダムアクセスメモリの平面図

【図 4】

図 4 A、図 4 B はそれぞれこの発明の第 1 の実施形態に係る磁気ランダムアクセスメモリのスピンの向きを示す断面図

【図 5】

図 5 A はメモリセルの一例を示す平面図、図 5 B は図 5 A 中の 5 B - 5 B 線に沿う断面図、図 5 C は図 5 A 中の 5 C - 5 C 線に沿う断面図

【図 6】

図 6 はこの発明の第 2 の実施形態に係る磁気ランダムアクセスメモリを示す平面図

【図 7】

図 7 はこの発明の第 3 の実施形態に係る磁気ランダムアクセスメモリを示す平

面図

【図 8】

図 8 はメモリセルの他例を示す断面図

【図 9】

図 9 はメモリセルの他例を示す断面図

【図 1 0】

図 1 0 A は磁気抵抗効果素子の第 1 例を示す断面図、図 1 0 B は磁気抵抗効果素子の第 2 例を示す断面図、図 1 0 C は磁気抵抗効果素子の第 3 例を示す断面図、図 1 0 C は磁気抵抗効果素子の第 4 例を示す断面図

【図 1 1】

図 1 1 は TMR 素子を示す断面図

【図 1 2】

図 1 2 A 及び図 1 2 B は TMR 効果を示す図

【図 1 3】

図 1 3 はデータ書き込み動作原理を示す図

【図 1 4】

図 1 4 A は TMR 曲線を示す図、図 1 4 B はアステロイド曲線を示す図

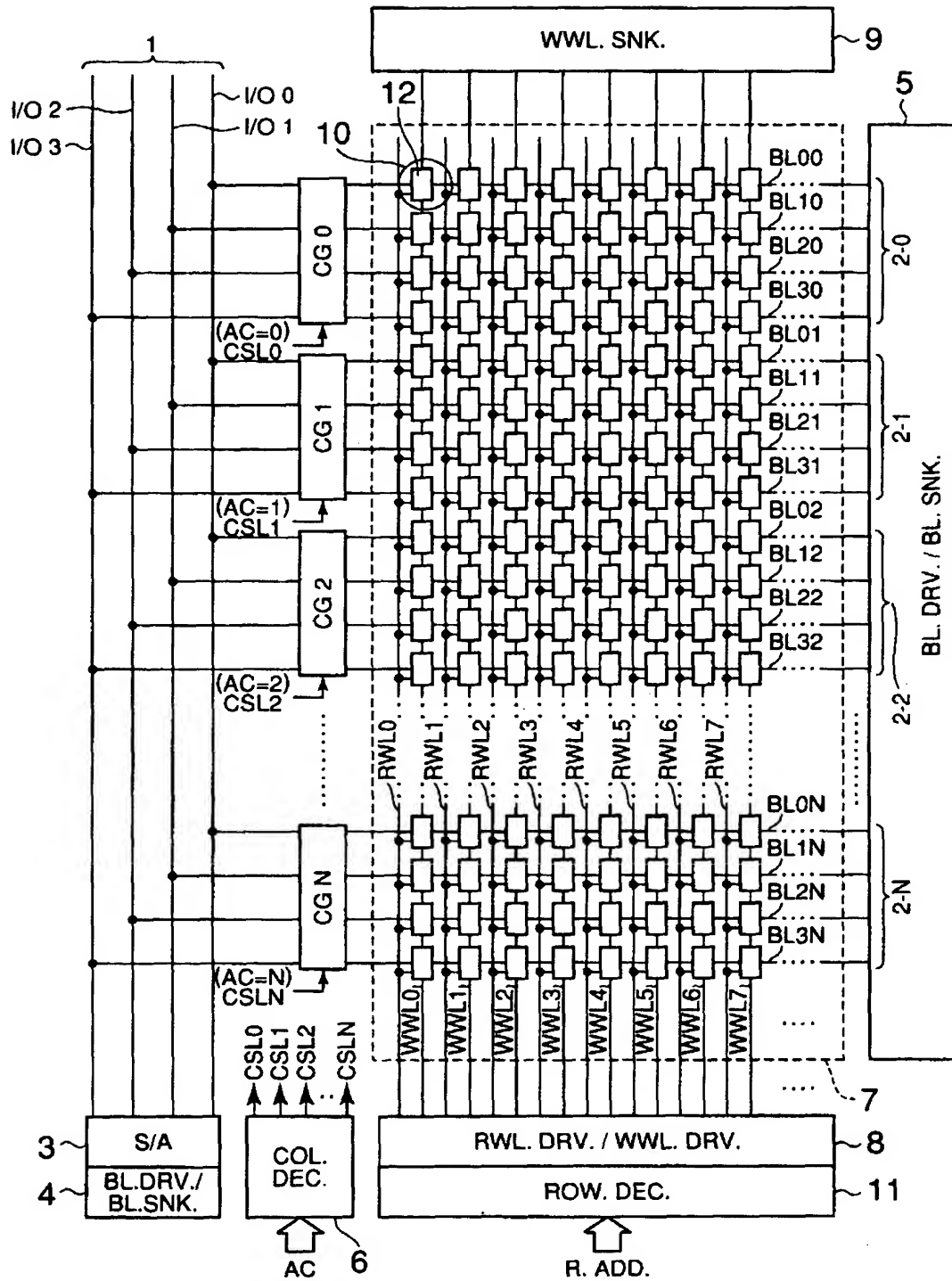
【符号の説明】

- 1 …データ線群
- 2 …ビット線群
- 3 …センスアンプ回路
- 4 …ビット線ドライバ回路/ビット線シンカー回路
- 5 …ビット線ドライバ回路/ビット線シンカー回路
- 6 …カラムデコーダ
- 7 …メモリセルアレイ
- 8 …読み出しワード線ドライバ回路/書き込みワード線ドライバ回路
- 9 …書き込みワード線シンカー回路
- 1 0 …メモリセル
- 1 1 …ロウデコーダ

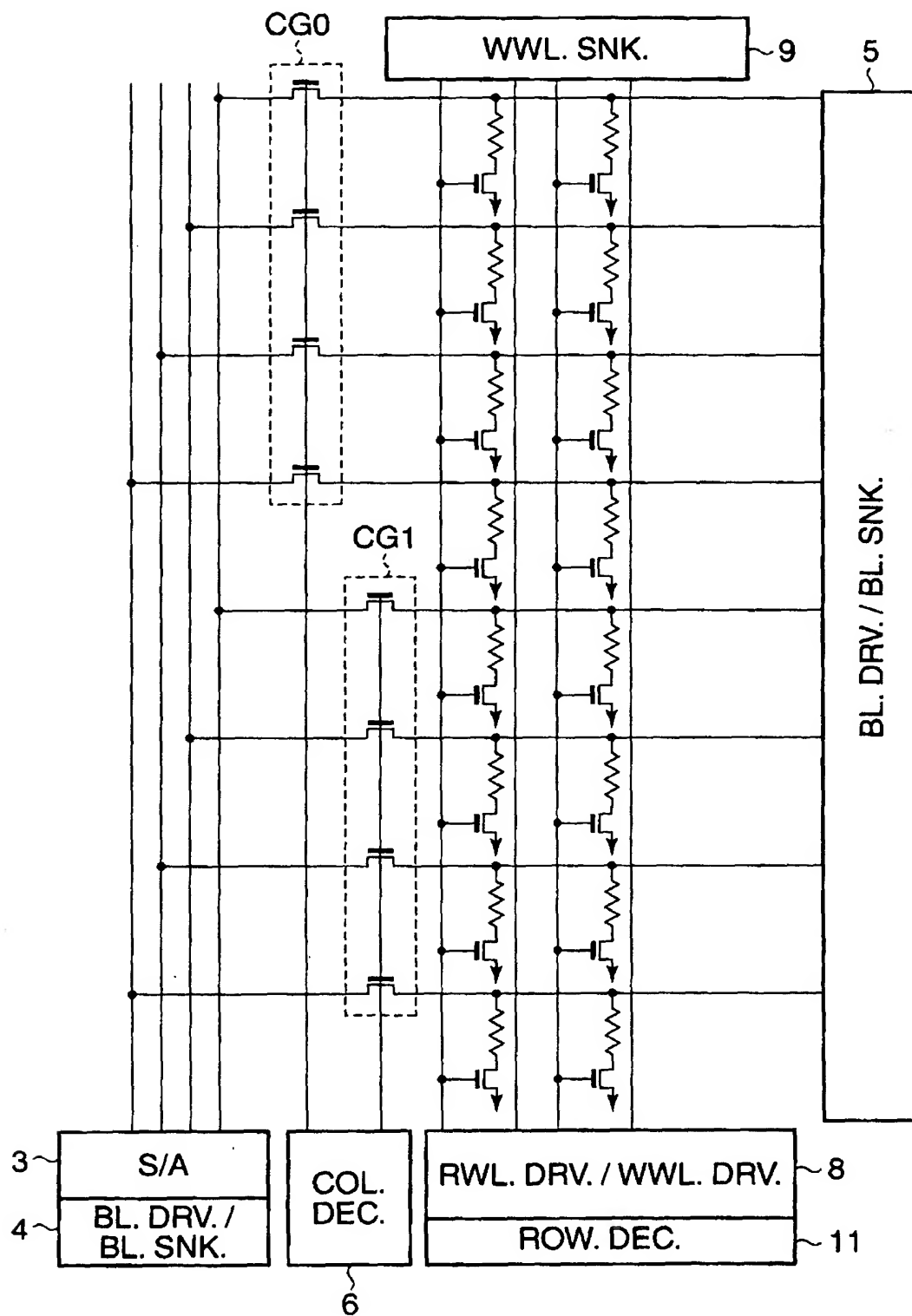
【書類名】

図面

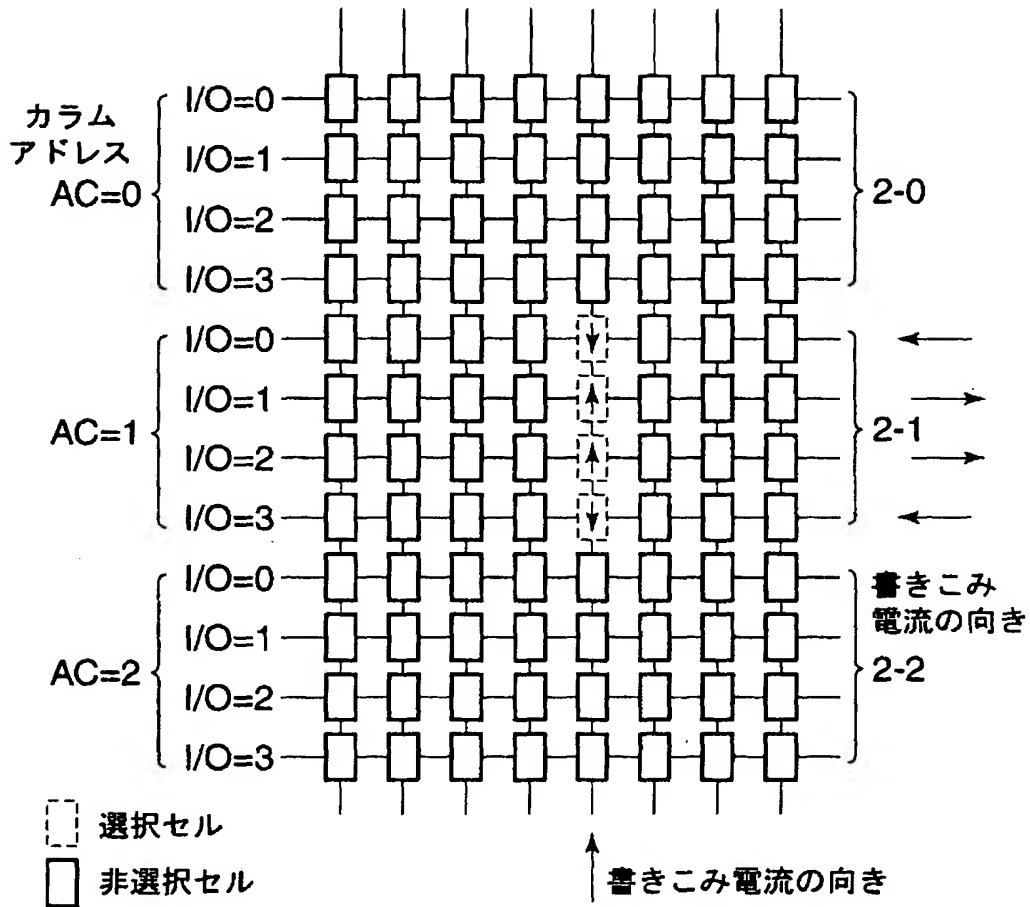
【図 1】



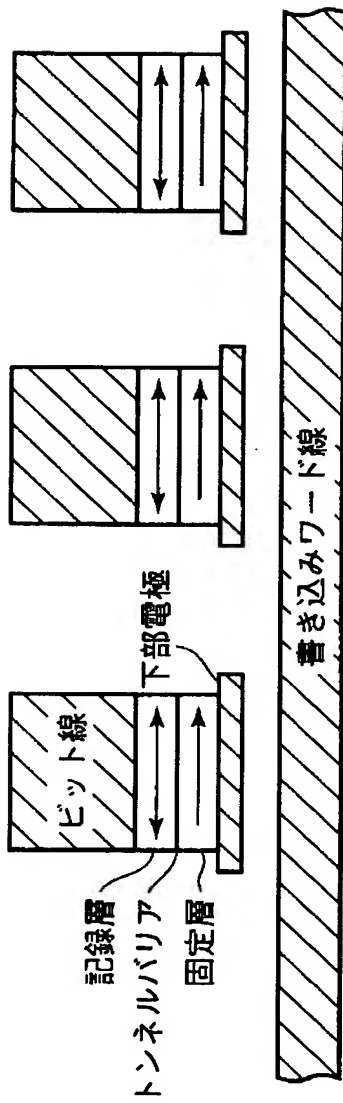
【図 2】



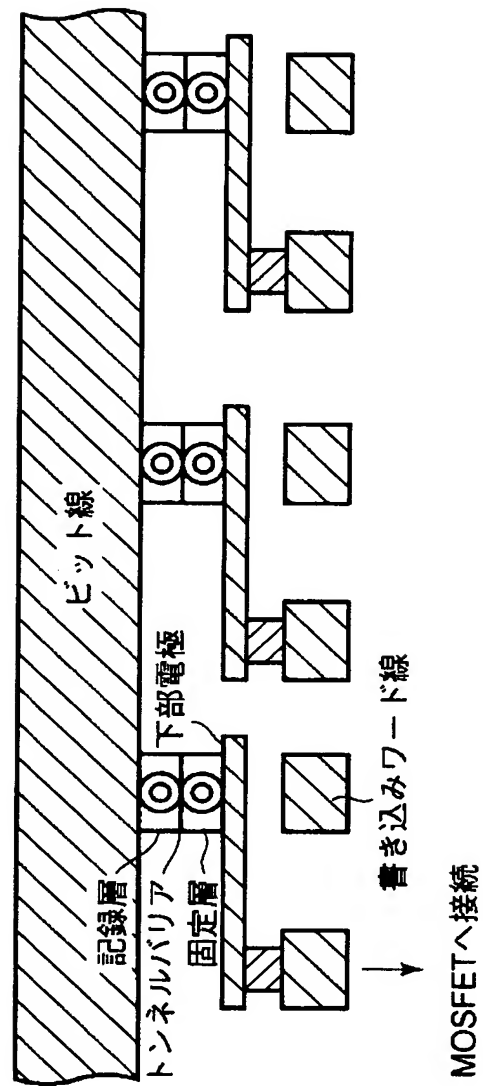
【図 3】



【図 4】

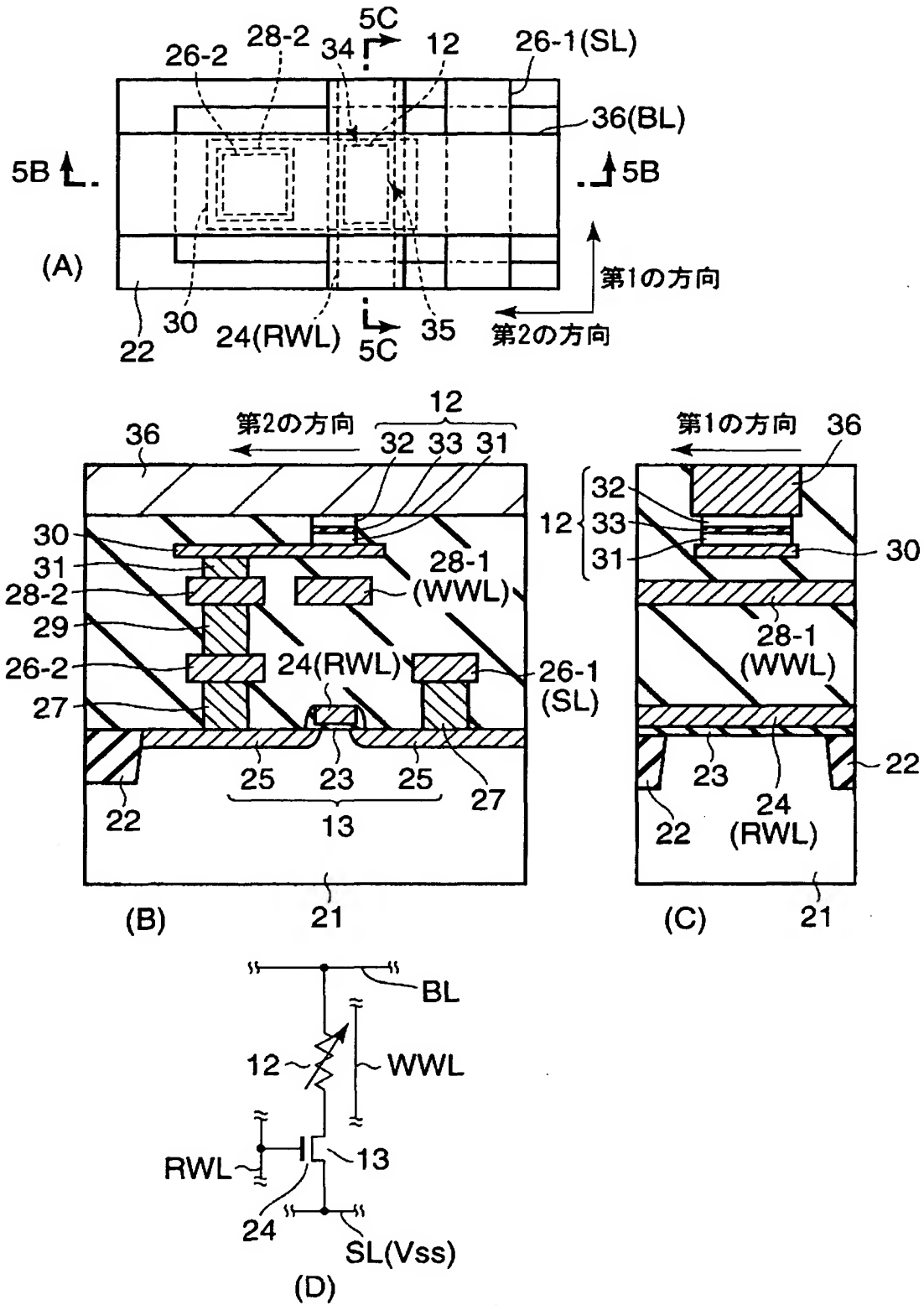


(A)

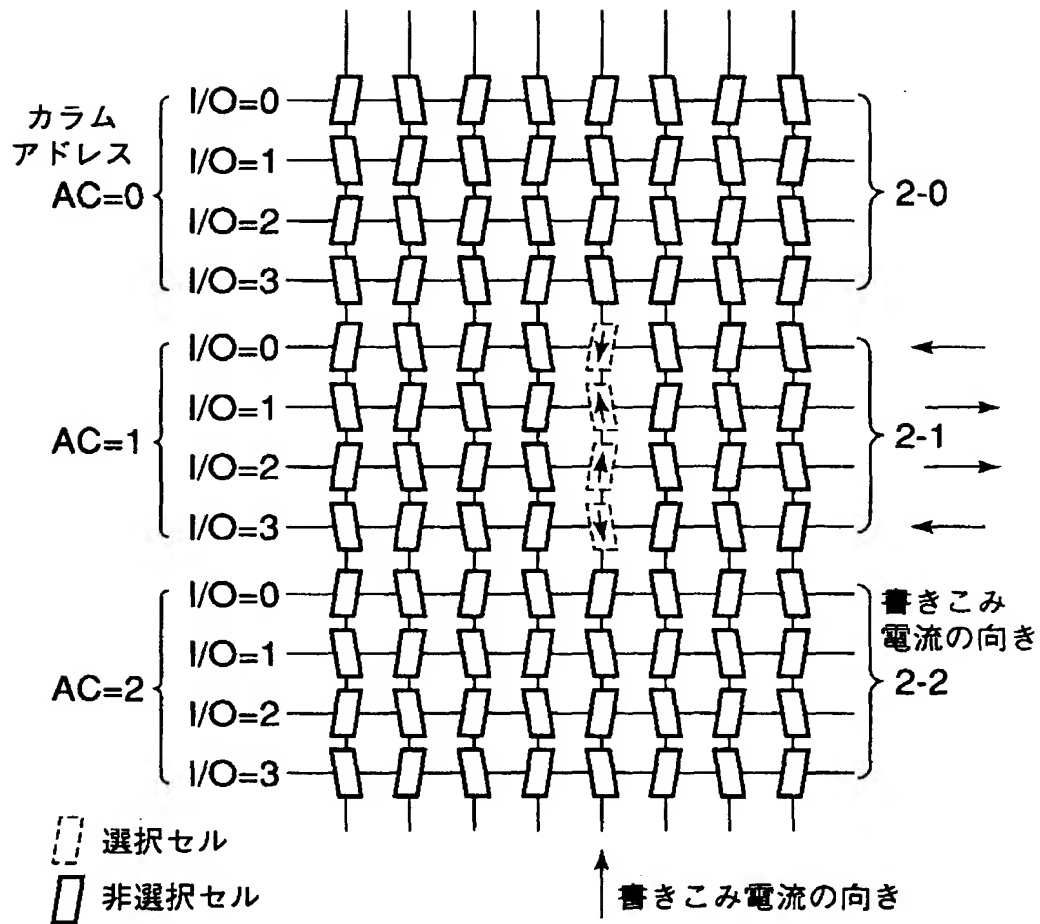


(B)

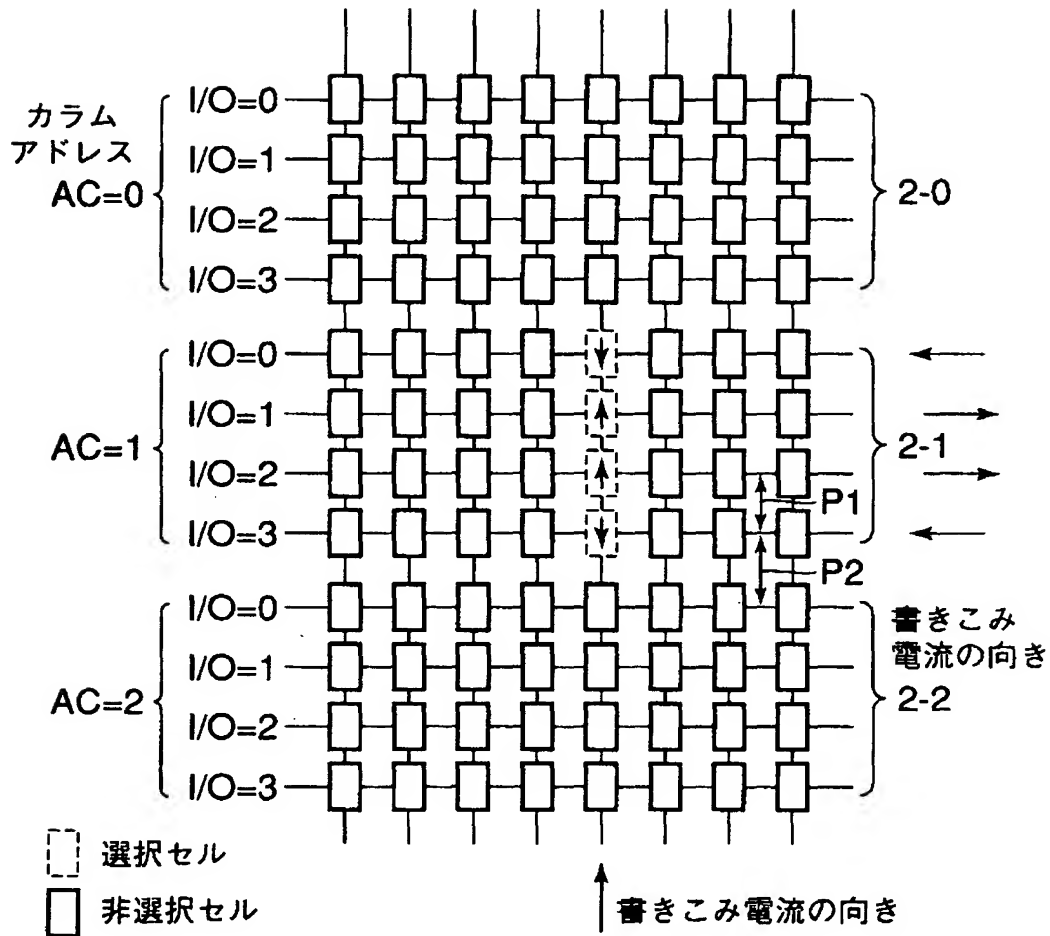
【図5】



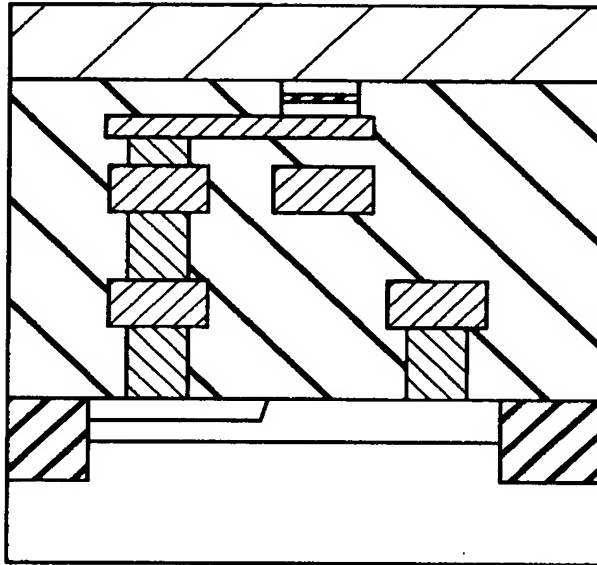
【図 6】



【図 7】

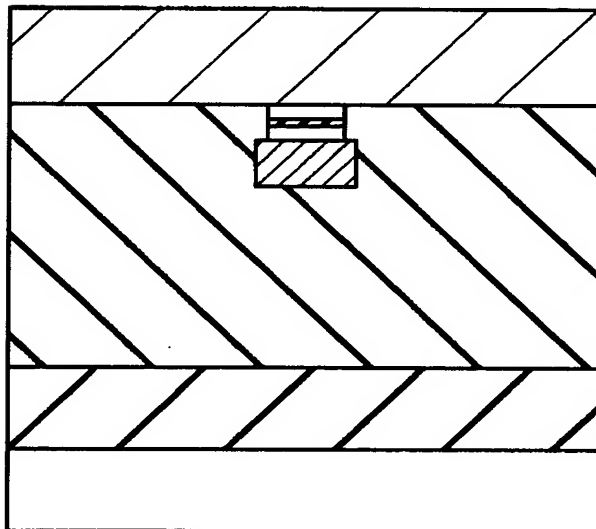


【図 8】



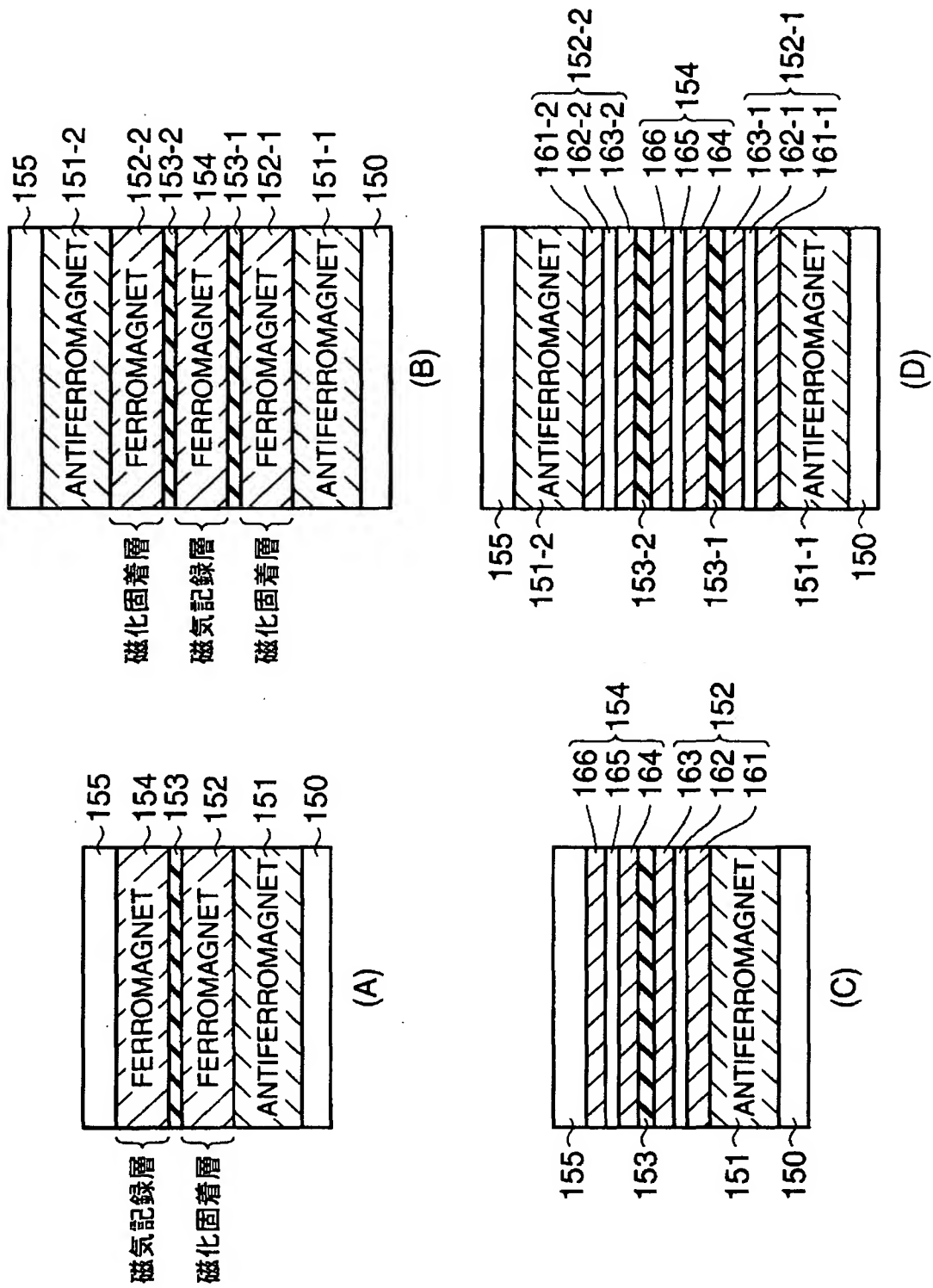
スイッチ素子としてダイオードを適用したセル

【図 9】

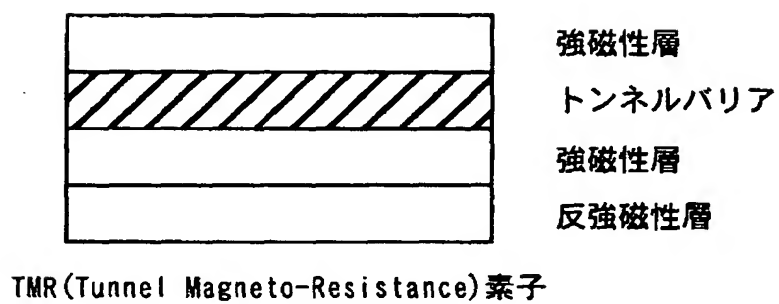


スイッチ素子のないクロスポイントセル

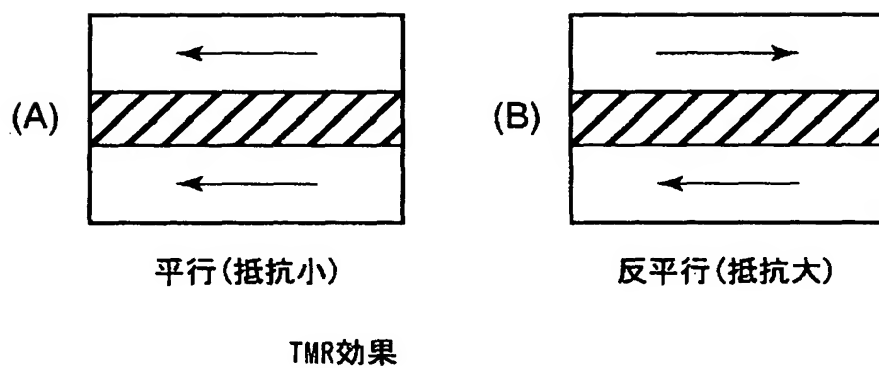
【図 1 0】



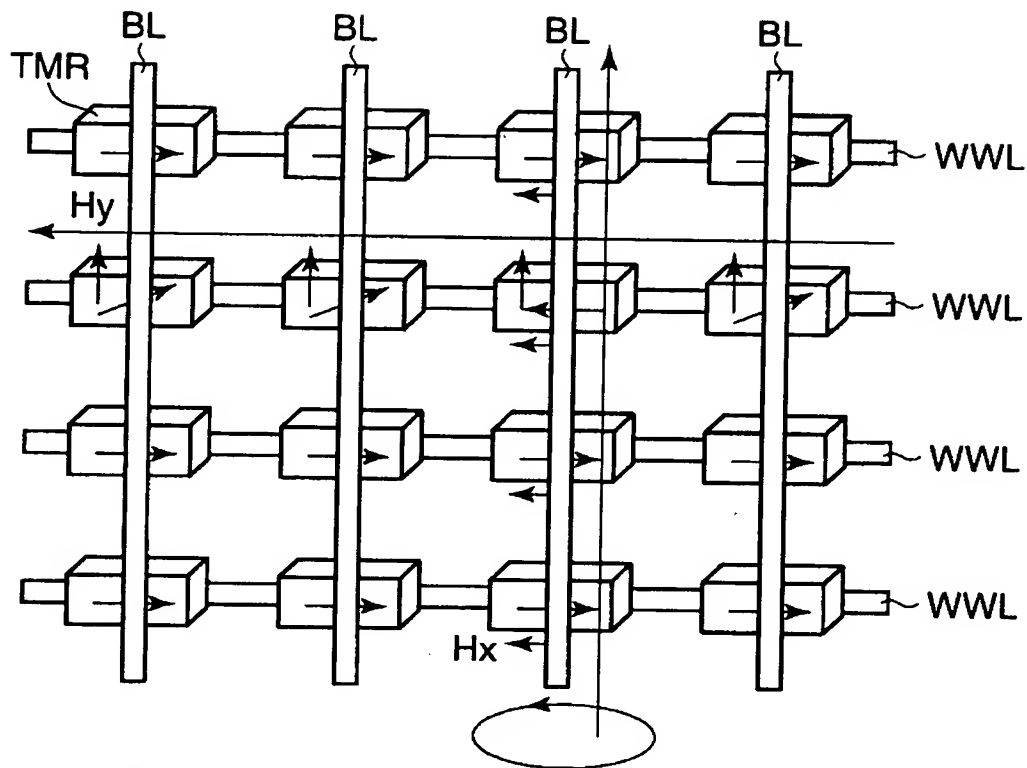
【図 1 1】



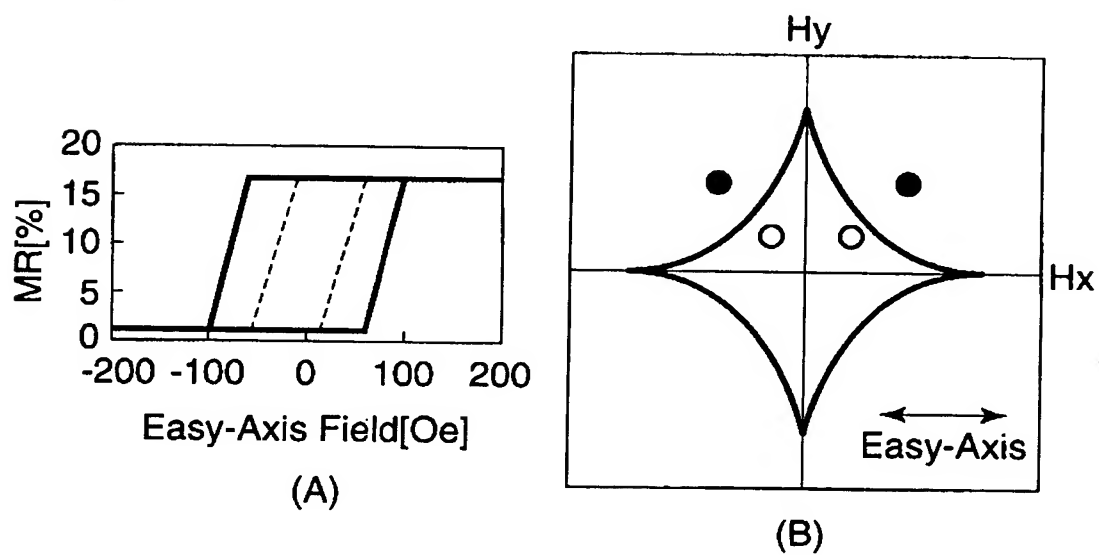
【図 1 2】



【図 13】



【図 14】



【書類名】 要約書

【要約】

【課題】 磁気抵抗素子を含むメモリセルを具備しながらも、多ビット同時にデータを書き込むことを可能とすること。

【解決手段】 第 1 カラム選択信号CSL0に基づき、第 1 ビット線群2-0をデータ線群1に電氣的に接続する第 1 カラムゲート回路CG0と、第 2 カラム選択信号CSL1に基づき、第 2 ビット線群2-1をデータ線群 1 に電氣的に接続する第 2 カラムゲート回路CG1と、第 1、第 2 ビット線群に含まれる複数のビット線BLと交差する複数のワード線WWLと、複数のビット線BLに電氣的に接続されるとともに複数のワード線WWLにより選択される、磁気抵抗素子12を含んだ複数のメモリセル10とを具備する。そして、磁気抵抗素子12のスピンの向きを、平面から見て複数のビット線BLに対して垂直とする。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日
[変更理由] 住所変更
住 所 東京都港区芝浦一丁目1番1号
氏 名 株式会社東芝